

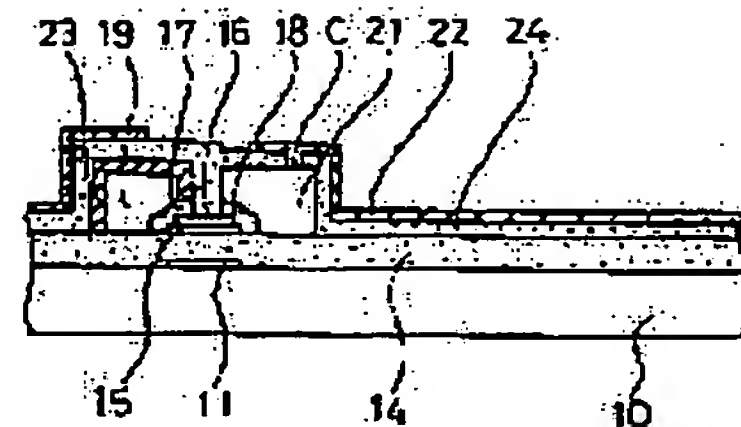
**PATENT ABSTRACTS OF JAPAN**(11)Publication number : **06-242467**(43)Date of publication of application : **02.09.1994**

(51)Int.Cl.

**G02F 1/136****G02F 1/1333****G02F 1/1343****H01L 29/784**(21)Application number : **05-028154**(71)Applicant : **SANYO ELECTRIC CO LTD**(22)Date of filing : **17.02.1993**(72)Inventor : **JINNO MASASHI  
YAMADA TSUTOMU****(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION****(57)Abstract:**

**PURPOSE:** To prevent short circuiting in superposed parts of pixel electrodes and drain lines, to decrease parasitic capacitances, to improve the yield and to prevent the crosstalks by forming drain electrodes and drain lines into a two-layered insulating film structure coated with an anodically oxidized film.

**CONSTITUTION:** The surfaces of the drain electrodes 19 and drain lines are coated with a self-oxidized film, for example, thermally oxidized film or anodically oxidized film 23 over the entire area. An interlayer insulating film 24 consisting for example, of SiNx is provided on the entire surface of the substrate and the pixel electrodes 22 are provided in the regions enclosed by gate lines thereon and the drain lines. The two-layered insulating films consisting of the conventional interlayer insulating film 24 and the anodically oxidized film 23 are formed. Then, the possibility to the short circuiting between the pixel electrodes 22 and the drain lines is decreased by the insulating films formed to the two layers even if pinholes are generated in the respective layers. The parasitic capacitances generated between the pixel electrodes 22 and the drain lines are decreased and the crosstalks are decreased by increasing of the thickness of the dielectric films between the pixel electrodes 22 and the drain lines.

**LEGAL STATUS**

[Date of request for examination]

**04.08.1999**

[Date of sending the examiner's decision of rejection]

**29.05.2001**

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-242467

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/1333	5 0 5	9225-2K	
	1/1343		8707-2K	
H 0 1 L	29/784			
		9056-4M		
			H 0 1 L 29/ 78	3 1 1 A
			審査請求 未請求	請求項の数 5 O L (全 7 頁)

(21)出願番号 特願平5-28154

(22)出願日 平成5年(1993)2月17日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 神野 優志

大阪府守口市京阪本通2丁目18番地 三洋  
電機株式会社内

(72)発明者 山田 努

大阪府守口市京阪本通2丁目18番地 三洋  
電機株式会社内

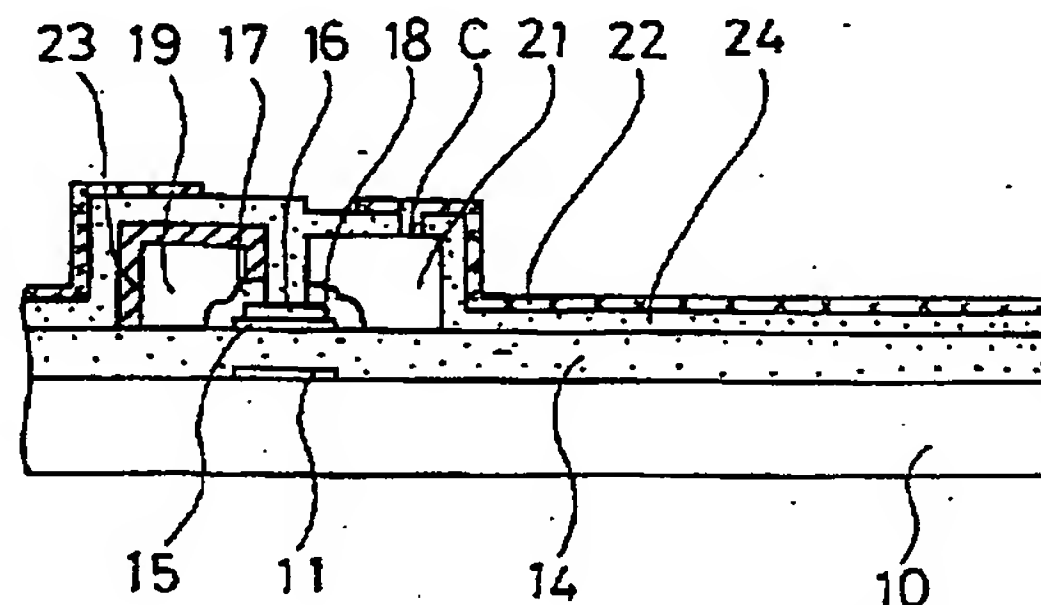
(74)代理人 弁理士 西野 卓嗣

(54)【発明の名称】 液晶表示装置及びその製造方法

(57)【要約】

【目的】 本願は、画素電極の端が層間絶縁膜を介して、ドレインライン上にある構造をもつ液晶表示用薄膜トランジスタ基板において、画素電極とドレインラインとの重畳部において生じる短絡や寄生容量を減少させ、歩留の向上とクロストークの防止をはかるものである。

【構成】 ドレイン電極(19)およびドレインライン(20)の全表面に陽極酸化膜(23)が被覆された二層絶縁膜構造である。



10:絶縁性基板

11:ゲート電極

14:ゲート絶縁膜

15:a-Si層

16:半導体保護膜

17,18:N+ a-Si層

19:ドレイン電極

21:ソース電極

22:画素電極

23:陽極酸化膜

24:層間絶縁膜

## 【特許請求の範囲】

【請求項1】 透明な絶縁性基板上に設けられた複数のゲートラインと、この複数のゲートラインに直交して設けられた複数のドレインラインと、前記ゲートラインと前記ドレインラインとの交点に設けられたソース電極、ドレイン電極、ゲート電極及び非単結晶シリコン膜より成る薄膜トランジスタと、前記ゲートラインと前記ドレインラインに囲まれた領域に設けられた画素電極とを少なくとも有する液晶表示装置において、

前記ドレイン電極および前記ドレインラインは金属材料により成り、このドレイン電極およびドレインラインの表面が自己酸化膜により被覆されており、更に、この自己酸化膜を少なくとも覆う層間絶縁膜が設けられ、これを介して前記画素電極が前記ドレインライン上にまで延在されていることを特徴とする液晶表示装置。

【請求項2】 前記ドレイン電極および前記ドレインラインはアルミニウムまたはタンタルで成ることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記自己酸化膜は、陽極酸化膜より成ることを特徴とする請求項1または請求項2記載の液晶表示装置。

【請求項4】 透明な絶縁性基板上に、ゲート電極およびこれと一体のゲートラインを形成する工程と、このゲート電極およびゲートラインを覆うゲート絶縁膜を形成する工程と、このゲート絶縁膜上の前記ゲート電極に対応する領域に、非単結晶シリコン膜を形成する工程と、この非単結晶シリコン膜上にソース電極、ドレイン電極、更にこのドレイン電極と一体で前記ゲートラインと交差する方向にドレインラインを形成する工程と、このドレイン電極およびドレインラインの表面に陽極酸化膜を形成する工程と、この陽極酸化膜を少なくとも覆う層間絶縁膜を形成する工程と、前記ゲート絶縁膜上の前記ゲートラインおよび前記ドレインラインに囲まれた領域に画素電極を形成する工程とを少なくとも有することを特徴とする液晶表示装置の製造方法。

【請求項5】 前記陽極酸化膜は、陽極酸化溶液中で、ゲート電極に、薄膜トランジスタをオフ状態とするバイアスを加えドレイン電極およびドレインラインに正バイアスを加えて形成することを特徴とする液晶表示装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、高開口率、高歩留まりおよびクロストーク防止が達成された液晶表示装置に関する。

## 【0002】

【従来の技術】 近年、アクティブマトリックス型液晶表示装置は、携帯用TV、ビデオモニター、液晶プロジェクターおよびOA機器等のディスプレイ装置などに用いられているが、これらの商品の画質は薄膜トランジスタ

が設けられる基板（以下、薄膜トランジスタ基板という）の性能に大きく関係している。

【0003】 従来の薄膜トランジスタ基板の構造として図11、図12に示すようなものがある。図11は平面図、図12は図11のA-A'線に沿った断面図である。まずガラスより成る透明な絶縁性基板（50）上に、薄膜トランジスタのゲート電極（51）がマトリックス状に設けられ、このゲート電極（51）と一体でゲートライン（52）が設けられている。このゲートライン（52）と平行に補助容量電極（53）と、これと一体の補助容量ラインが設けられている。

【0004】 これらの上層には、例えばSiNxより成るゲート絶縁膜（54）が積層され、前記薄膜トランジスタに対応するこのゲート絶縁膜（54）上にはノンドーパ-Si膜（55）、不純物ドーパ-Si膜（57）（58）が設けられ、一方の不純物ドーパ-Si膜（57）上にはドレイン電極（59）、他方の不純物ドーパ-Si膜（58）上にはソース電極（61）が設けられている。更には、ゲートライン（52）とドレインライン（60）で囲まれた領域には、点線で示す画素電極（62）が設けられている。この構造の薄膜トランジスタ基板は、以下の理由により開口率が低下する欠点があった。第1の理由は、画素電極（62）とドレインライン（60）、画素電極（62）とゲートライン（52）の短絡防止のために、画素電極（62）がドレインライン（60）およびゲートライン（52）の内側側面より更に数μm内側に設けられていることである。第2の理由は、補助容量電極（53）がAlやCr等の光を遮断する金属で成っていることである。

【0005】 これらの問題を解決するために図9、図10で示される構造の薄膜トランジスタ基板があった。図9は平面図、図10は図9のA-A'線に沿った断面図である。この薄膜トランジスタ基板の特徴は、前述の構成に加え、基板全面に層間絶縁膜（63）が設けられていることである。層間絶縁膜（63）が、画素電極（62'）とドレインライン（60）、および画素電極（62'）とゲートライン（52）との短絡を防止するために、画素電極（62'）がドレインライン（60）およびゲートライン（52）上にまで延在でき、開口率を向上できる特徴を有していた。また、図9においてゲートライン（52）と一体の点線で示される突出部を設けて、この突出部を含んだゲートライン（52）と画素電極（62'）との重畳部で補助容量を形成し、補助容量電極（53）を省略して開口率を向上させる構成も考えられた。なお、図9、図10の図番は図11、図12と共通のものについては、同じ番号を用いている。

## 【0006】

【発明が解決しようとする課題】 前述の図9および図10で示される従来例において、電極材料としてAlを用いた場合、製造過程において発生するヒロックや層間絶



縁膜(63)のピンホールによって、特に画素電極(62)とドレインラインと(60)の短絡が生じ、歩留まりが低下する問題を招いた。また、画素電極(62)とドレインライン(60)との間で寄生容量が生じ、クロストークが発生するという問題もあった。

【0007】

【課題を解決するための手段】本発明は、前記問題に鑑みて成され、ドレイン電極およびドレインラインの表面に自己酸化膜、特に陽極酸化膜を設けて解決するものである。

【0008】

【作用】ドレイン電極(19)およびドレインライン(20)の表面に陽極酸化膜(23)を設けることは、画素電極(22)とドレインライン(20)との重畳部は、従来の層間絶縁膜(24)と、この陽極酸化膜(23)との二層絶縁膜となる。このことは、次のような作用をもたらす。

【0009】第一に、絶縁膜が二層になることによって、各層にピンホールが生じて、画素電極(22)とドレインライン(20)間の短絡にまでいたる可能性が減る。第二に、画素電極(22)とドレインライン(20)の間の誘電膜の膜厚が増大することにより、画素電極(22)とドレインライン(20)の間に生ずる寄生容量が減少し、クロストークが減る。

【0010】また、ドレインライン(20)がAlの場合、その表面に陽極酸化膜(23)を設けると、特に無孔質なAl<sub>2</sub>O<sub>3</sub>膜は緻密な膜であるので、これがAlの保護膜となる。そのため、上に内部応力の大きいSiNxなどを積層しても、ヒロックの発生を防止する作用がある。

【0011】

【実施例】本発明の実施例を図1、図2に示す。図1は平面図、図2は図1のA-A'線に沿った断面図である。まず、透明な絶縁性基板(10)上にゲート電極(11)、このゲート電極(11)と一体のゲートライン(12)、補助容量電極(13)、およびこの補助容量電極(13)と一体の補助容量ラインが設けられ、その上にゲート絶縁膜(14)が基板全面にわたって積層されている。ここでゲート電極(11)、ゲートライン(12)及び補助容量電極(13)は、例えば約2000ÅのAlまたはCrより成り、ゲート絶縁膜(14)は約4000ÅのSiNxより成る。

【0012】このゲート絶縁膜(14)上の前記ゲート電極(11)に対応する位置に約1000Åのノンドープのa-Si層(以下、a-Si層と略す)(15)が設けられ、その上にはSiNxより成る半導体保護膜(16)が約2500Åで設けられている。更に、互いに離間して、不純物がドーパされた二つのa-Si層(以下N<sup>+</sup>a-Si層と略す)(17)(18)が約5

00Åの厚さで設けられ、その上には、それぞれドレイン電極(19)およびソース電極(21)が設けられ、ドレイン電極(19)と一体のドレインライン(20)が、ゲートライン(12)と交差する方向に延在されている。

【0013】このドレイン電極(19)とドレインライン(20)の表面は全域にわたって自己酸化膜、例えば熱酸化膜や陽極酸化膜(23)で覆われている。図1の斜線部分は、この自己酸化領域を示している。更に、基板全面に例えばSiNxより成る層間絶縁膜(24)が設けられ、この上の前記ゲートライン(12)と前記ドレインライン(20)に囲まれた領域に、画素電極(22)が設けられている。この画素電極(22)は、ゲートライン(12)上およびドレインライン(20)上にまで延在され、表示領域が広がっている。そして、図2のCで示されるコンタクトホールを介して、ソース電極(21)と電氣的に接続されている。

【0014】更に図では省略したが、必要によりパシベーション膜が設けられ、更に配向膜が設けられている。以上の構成により薄膜トランジスタ基板が達成される。一方、この薄膜トランジスタ基板と対向する位置に対向電極を備えた対向基板が設けられ、この基板には少なくともトランジスタに対応する位置に遮光膜、および全面に被覆された配向膜が設けられる。

【0015】そして、この一対の基板を貼り合わせ基板間には、一定の間隔を保持するためのスペーサが設けられ、基板周辺がシールされて中に液晶が注入されて液晶表示装置となる。本発明の特徴は、ドレインライン(20)に自己酸化膜を設ける事にある。ここで自己酸化膜は、例えば熱酸化膜や陽極酸化膜(23)をいう。つまり画素電極(22)とドレインライン(20)の重畳部には、自己酸化膜と層間絶縁膜(24)が二層設けられる。従って仮に各層にピンホールがあったとしても一致する事はまず無いため、ピンホールによる短絡を無くすることができる。また寄生容量を構成する誘電体層は、厚さが増大するため、その値が小さくなり、クロストークを減らすことができる。

【0016】ここで、クロストーク発生の原理を説明しよう。図1において、画素電極(22)とドレインライン(20)との重畳部で左側の面積をS<sub>on</sub>、右側をS<sub>on+1</sub>、画素面積をS<sub>p</sub>、補助容量面積をS<sub>sc</sub>とすると、 $C = \epsilon' \epsilon_0 S / d$ の式より各容量が求まり、それぞれC<sub>on</sub>、C<sub>on+1</sub>、C<sub>p</sub>、C<sub>sc</sub>とする。薄膜トランジスタがOFFの時、一画素についての等価回路は図13のようになると考えられるので、画素電圧V<sub>p</sub>はドレイン電圧V<sub>d</sub>に依存し、V<sub>p</sub>の変化量ΔV<sub>p</sub>とV<sub>d</sub>の変化量ΔV<sub>d</sub>の間には、次式が成立する。

【0017】

【数1】

$$\Delta V_p = \frac{C_{Dn} + C_{Dn+1}}{(C_{Dn} + C_{Dn+1}) + (C_p + C_{sc})} \cdot \Delta V_d$$

【0018】この $\Delta V_p$ が大きくなるとクロストークが発生する。したがってクロストークを防止するためには、上式で $(C_{Dn} + C_{Dn+1}) / (C_p + C_{sc})$ を小さくすればよい。すなわち、画素電極(22)とドレインライン(20)の重畳部の絶縁層を、層間絶縁膜(24)と陽極酸化膜(23)の二層絶縁膜とすることによって、結果的に誘電体層の厚みがまし、画素電極(22)とドレインライン(20)の重畳部で発生する寄生容量が減少し、 $(C_{Dn} + C_{Dn+1})$ の値が小さくなって、クロストークを減らすことができる。

【0019】また、ドレイン電極(19)およびドレインライン(20)として、Alを用いる場合、表面に陽極酸化膜(23)  $Al_2O_3$ を設けると、この陽極酸化膜(23)が保護膜となってAlにヒロックが発生するのを防ぐことができ、短絡の防止にもつながる。次に、薄膜トランジスタ基板の製造方法を説明する。

【0020】先ず図3の如く、絶縁性ガラス基板(10)上に、スパッタリング法や蒸着法等によりゲート電極(11)とこれと一体のゲートライン(12)を形成する工程がある。材料としては、CrやAl等があり、ここでは約1500ÅのCrを採用している。またここでは補助容量電極(13)と、これと一体の補助容量ラインが設けられているため、この工程に於いて同時に形成される。

【0021】続いて、図4の如く、プラズマCVD法でゲート絶縁膜(14)、a-Si層(15)および半導体保護膜(16)を形成する工程がある。ここではTF特性を良好とするため、Siを主体とした材料、約4000ÅのSiNx膜、約1000Åのa-Si膜および約2500ÅのSiNxをプラズマCVD法で連続で成膜し、最上層のSiNxだけパターンして、半導体保護膜(16)形成する。

【0022】次に、プラズマCVD法によりN<sup>+</sup>a-Siを積層し、続いてAl/Moをスパッタリングして、このAl/Moをパターン化してソース電極(21)、ドレイン電極(19)およびこれと一体のドレインライン(20)形成する。更には、ドレイン電極(19)、ソース電極(21)をマスクとしてソースおよびドレインに対応するN<sup>+</sup>a-Si層(17)、(18)およびa-Si層(15)をパターン化して図5の構造を得る。

【0023】続いて図6の如く、ドレイン電極(19)と、これと一体のドレインライン(20)の全面に自己酸化膜を形成する工程がある。自己酸化膜は、例えば熱酸化膜や陽極酸化膜であり、画素電極(22)をドレインライン(20)上に重畳させる際の短絡を考慮して設

けられるので、全面ではなく重畳部だけに設けてもよい。

【0024】自己酸化膜の膜質としては陽極酸化膜の方が、無孔質で緻密な膜が形成されるため、ここでは陽極酸化膜(23)を用いている。陽極酸化溶液としては、例えば酒石酸をエチレングリコールまたはプロピレングリコールで希釈した約PH7の混合液を使用する。そして、この溶液中で本基板のゲートに負バイアス、ドレインに正バイアスを加えてAl表面を陽極酸化し  $Al_2O_3$  膜を形成する。

【0025】この製造方法の特徴は、ゲートに負バイアスを加える点にある。これによって、ソース・ドレイン間の導通が遮断され、ドレインのみに正バイアスが加わり、ドレイン電極(19)およびドレインライン(20)が陽極酸化されることになる。ソース電極(21)の陽極酸化は、画素電極(22)との電気的コンタクトをとる際、製造過程で手間がかかるので不要であるが、この方法ならソース電極(21)が陽極酸化されるのを防ぐことができる。

【0026】続いて図7の如く、少なくともドレインライン(20)上に層間絶縁膜(24)を積層する工程がある。ここでこの絶縁膜は、ポリイミド等の樹脂でも良いし、SiNxやSiO<sub>2</sub>でも良い。更に図8に示すように、ITOを形成し、パターン化して画素電極(22)を形成する。ここで、図のCの部分で画素電極(22)はソース電極(21)と電気的に接続している。この接続部は層間絶縁膜(24)にコンタクトホールを形成して、ITO膜の形成時に一部を埋めてませて形成する。最後に、必要に応じてファイナルパシベーション、更に配向膜を積層して本発明の薄膜トランジスタ基板が得られる。

【0027】図1において、点線に囲まれた領域で示される、ゲートライン(12)と一体の付加容量部を形成し、補助容量電極(13)を取り除いた構造の実施例もある。この場合でも、ドレインライン(20)と画素電極(22)との重畳部が二層絶縁膜になるという構造は前記実施例と同様である。また、製造方法については、前記図3で示される工程のCrのパターン化の際に、使用するマスクパターンが前記実施例のパターンと異なっているのみである。

【0028】

【発明の効果】ドレイン電極およびドレインラインを陽極酸化膜で被覆し、従来の層間絶縁膜と合せて、二層絶縁膜構造としたことは、画素電極とドレインラインの重畳部での短絡を防止し、歩留まりが向上した。また、絶縁膜の膜厚が増大するので寄生容量が減少し、クロスト

ークの防止につながった。

【図面の簡単な説明】

【図1】本発明の実施例の平面図である。

【図2】図1のA-A'線の断面図である。

【図3】本発明の実施例の製造工程の断面図である。

【図4】本発明の実施例の製造工程の断面図である。

【図5】本発明の実施例の製造工程の断面図である。

【図6】本発明の実施例の製造工程の断面図である。

【図7】本発明の実施例の製造工程の断面図である。

【図8】本発明の実施例の製造工程の断面図である。

【図9】従来の液晶表示装置の平面図である。

【図10】図9のA-A'線の断面図である。

【図11】従来の液晶表示装置の平面図である。

【図12】図11のA-A'線の断面図である。

【図13】本発明の液晶表示装置の一画素の等価回路図

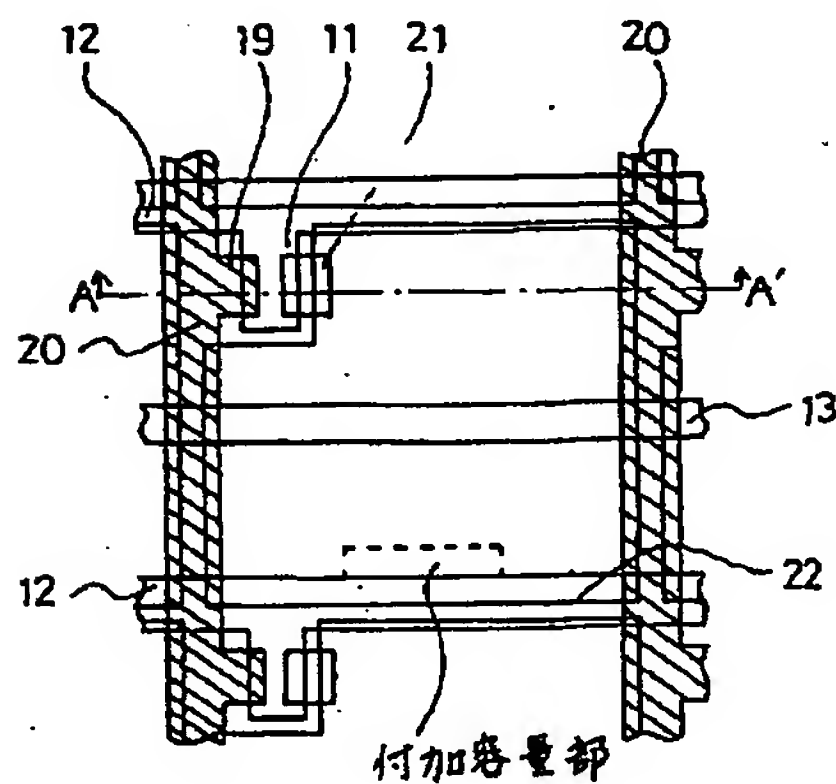
である。

\*【符号の説明】

10	透明絶縁性基板
11	ゲート電極
12	ゲートライン
13	補助容量電極
14	ゲート絶縁膜
15	a-Si層
16	半導体保護膜
17, 18	N <sup>+</sup> a-Si層
19	ドレイン電極
20	ドレインライン
21	ソース電極
22	画素電極
23	陽極酸化膜
24	層間絶縁膜

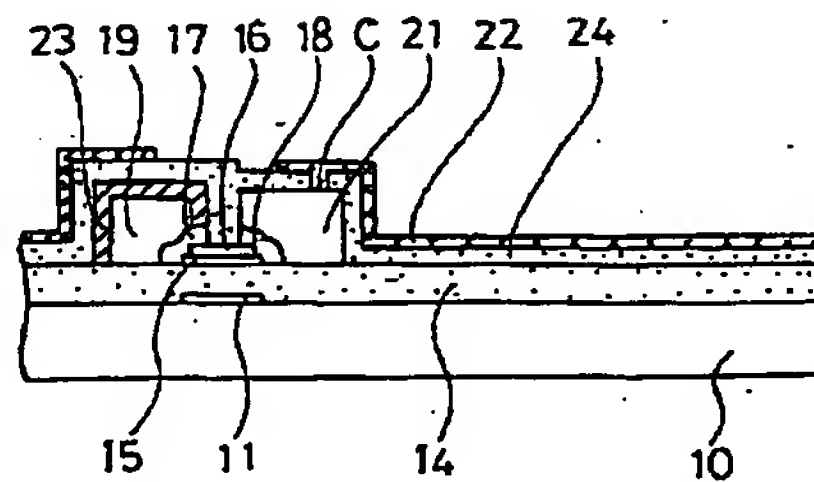
\*

【図1】



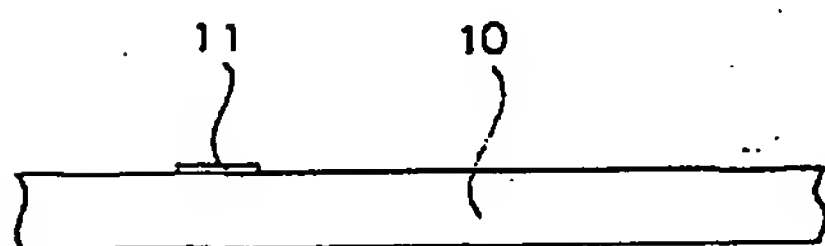
- 11: ゲート電極  
12: ゲートライン  
13: 補助容量電極  
19: ドレイン電極  
20: ドレインライン  
21: ソース電極  
22: 画素電極

【図2】



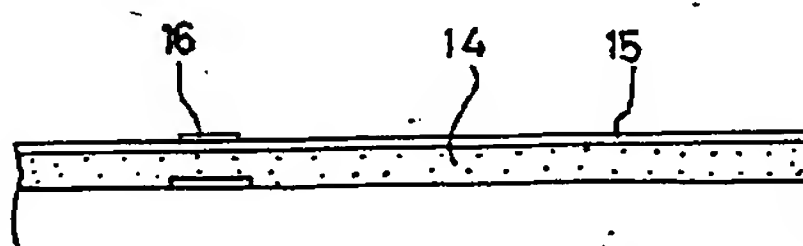
- 10: 絶縁性基板  
11: ゲート電極  
14: ゲート絶縁膜  
15: a-Si層  
16: 半導体保護膜  
17, 18: N<sup>+</sup>a-Si層  
19: ドレイン電極  
21: ソース電極  
22: 画素電極  
23: 陽極酸化膜  
24: 層間絶縁膜

【図3】



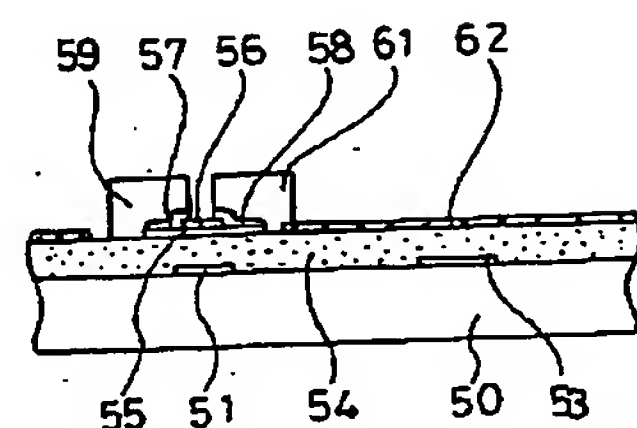
- 10: 絶縁性基板  
11: ゲート電極

【図4】



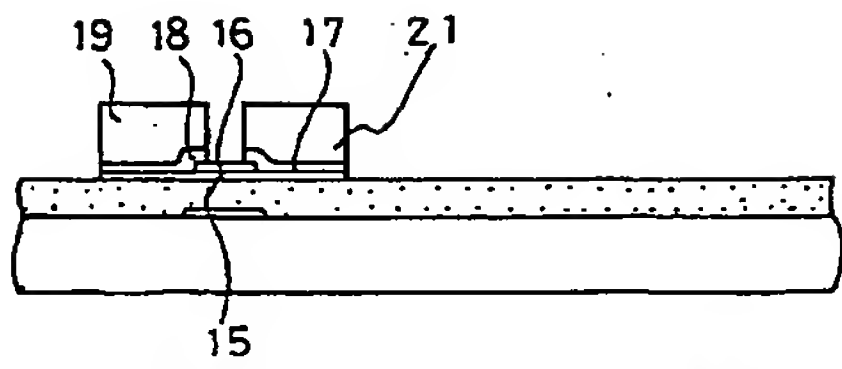
- 14: ゲート絶縁膜

【図12】



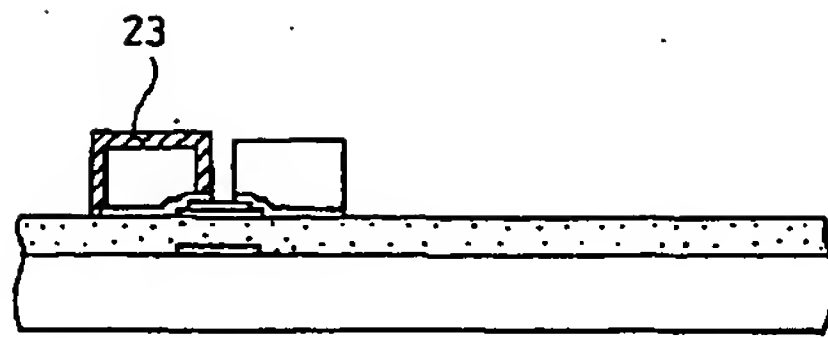
- 50: 絶縁性基板  
51: ゲート電極  
54: ゲート絶縁膜  
55: a-Si層  
56: 半導体保護膜  
57, 58: N<sup>+</sup>a-Si層  
59: ドレイン電極  
61: ソース電極  
62: 画素電極

【図5】



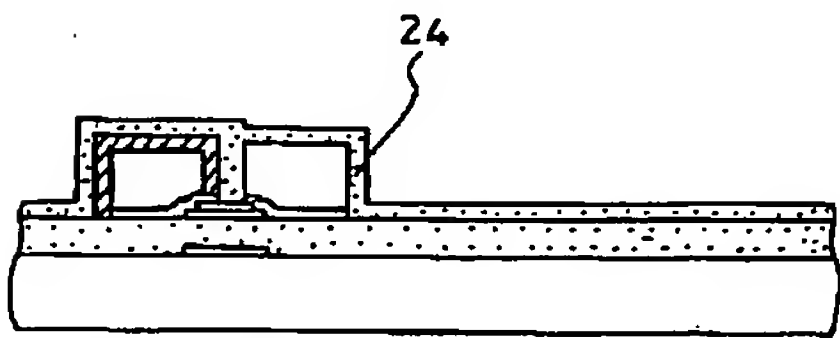
15: a-Si層  
16: 半導体保護膜  
17: N<sup>+</sup>a-Si層  
18: N<sup>+</sup>a-Si層  
19: ドレイン電極  
21: ソース電極

【図6】



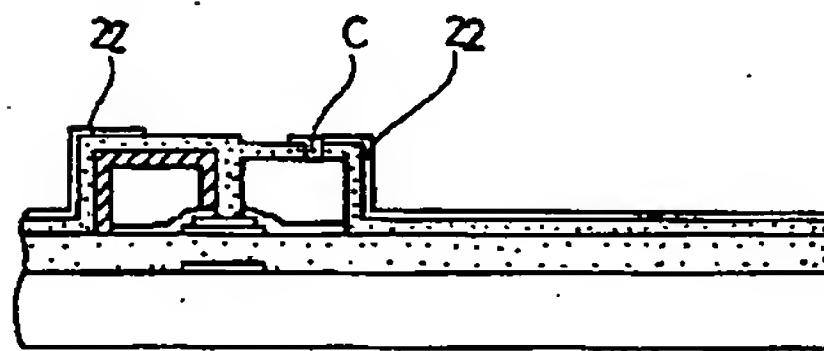
23: 陽極酸化膜

【図7】



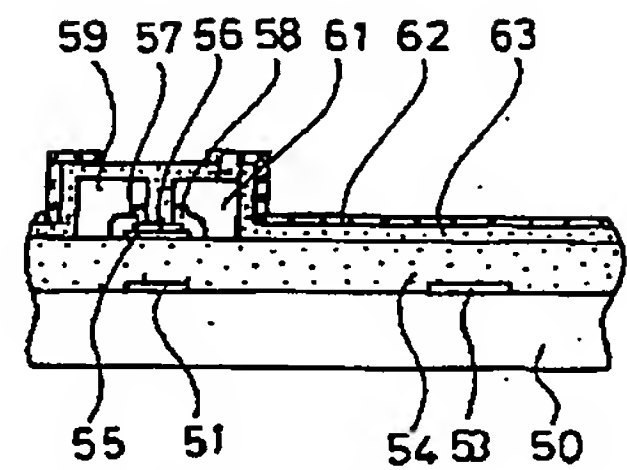
24: 層間絶縁膜

【図8】



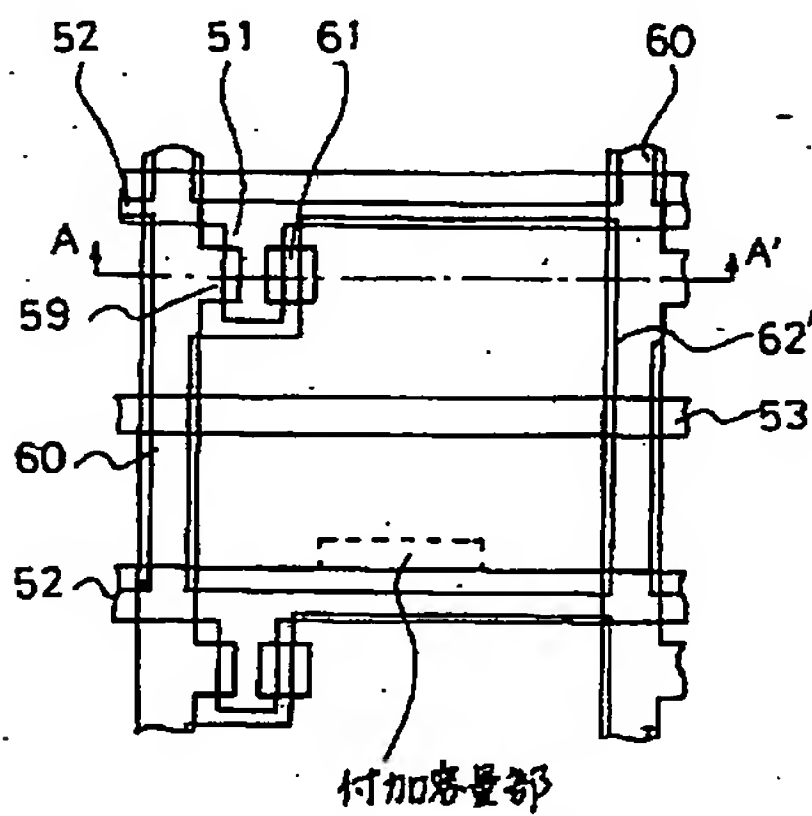
22: 画素電極

【図10】



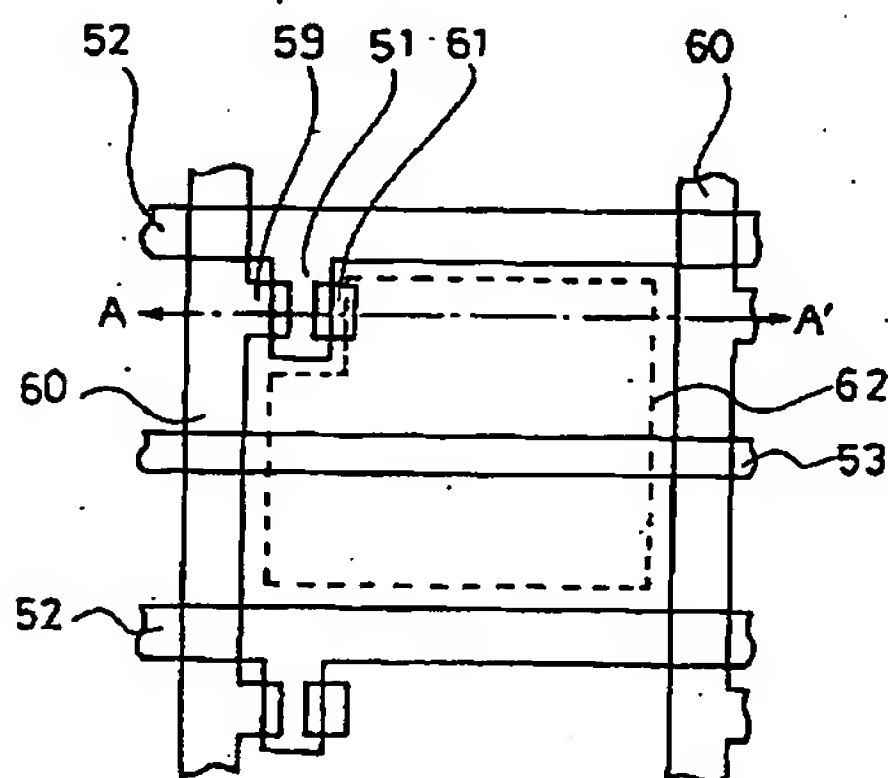
50: 絶縁性基板  
51: ゲート電極  
54: ゲート絶縁膜  
55: ノンド-P<sup>+</sup>a-Si  
56: 半導体保護膜  
57, 58: 不純物ド-P<sup>+</sup>a-Si  
59: ドレイン電極  
61: ソース電極  
62: 画素電極  
63: 層間絶縁膜

【図9】



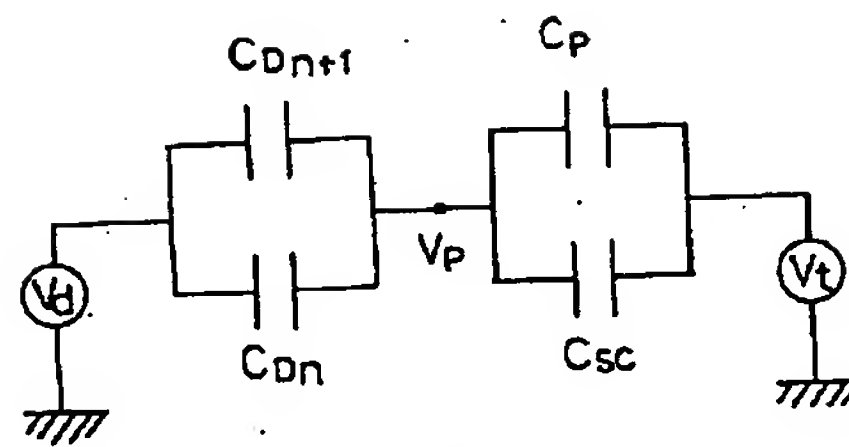
51: ゲート電極  
52: ゲートライン  
53: 補助容量電極  
59: ドレイン電極  
60: ドレインライン  
61: ソース電極  
62: 画素電極

【図11】



51: ゲート電極  
52: ゲートライン  
53: 補助容量電極  
59: ドレイン電極  
60: ドレインライン  
61: ソース電極  
62: 画素電極

【図13】



$V_d$ : ドレイン電圧

$V_t$ : 封極電圧(一定)

$V_p$ : 偏置電圧